

1

明細書

OSD挿入回路

5 技術分野

本発明はテレテキストやユーザー調整用のメニュー等の付加画像を映像信号に挿入して表示するOn-Screen-Display (OSD) 挿入回路に関する。

10 背景技術

テレビやモニター等の映像表示装置は、装置の状態やユーザー調整用画面、或いはテレテキスト等の付加画像の表示等を行うためのOn-Screen-Display (OSD) 挿入回路を有する場合がある。OSD挿入回路は映像表示装置に表示される映像信号にテレテキストやユーザー調整用のメニュー等の付加画像信号を挿入する。従来のOSD挿入回路はアナログの映像信号にアナログの付加画像信号を挿入し、例えば特開平5-344438号公報に開示されている。

従来のOSD挿入回路では映像信号及び付加画像信号は共にアナログ信号であり、映像信号がデジタル信号の場合に対応できない。この為、液晶テレビ等のデジタル制御される表示装置では、付加画像信号の挿入の為に、デジタル映像信号に本来不要な処理であるデジタルーアナログ変換を行い、付加画像信号をアナログ変換された映像信号に挿入した後、再度アナログーデジタル変換を行う必要が生じ、コスト増、性能劣化の原因となる。

発明の開示

25 On-Screen-Display (OSD) 挿入回路は、第1のクロック信号にしたがってスイッチ信号とアナログの付加画像信号を発生するOSD信号発生回路と、第2のクロック信号をサンプリングクロック信号として発生した付加映像信号をデジタル変換するアナログーデジタル変換器と、デジタル映像信号とデジタル変換された付加画像信号とをスイッチ信号により切り替えて出力する

スイッチ回路と、第2のクロック信号を発生する制御信号発生回路とを備える。デジタル映像信号は水平同期信号を伴う。制御信号発生回路は、水平同期信号と0を含む所定の位相差を有する信号を発生して第1のクロック信号をリセットし、第2のクロック信号を水平同期信号に対して位相を調整できるように発生する。

- 5 このOSD挿入回路は、デジタル映像信号をアナログ変換せずにアナログ付加映像信号をデジタル映像信号に挿入できる。

図面の簡単な説明

- 10 図1は本発明の実施の形態1におけるOn-Screen-Display (OSD) 挿入回路のブロック図である。

図2から図5は実施の形態1におけるOSD挿入回路のOSD信号発生回路とA/D変換器の動作を示すタイムチャートである。

図6は実施の形態1におけるOSD挿入回路の時分割多重回路の動作を示すタイムチャートである。

- 15 図7は実施の形態1におけるOSD挿入回路のデコード回路の動作を示すタイムチャートである。

図8は本発明の実施の形態2によるOSD挿入回路のブロック図である。

発明を実施するための最良の形態

- 20 (実施の形態1)

図1は本発明の実施の形態1におけるOn-Screen-Display (OSD) 挿入回路のブロック図である。OSD信号発生回路1は所定の周波数の基準クロック信号を基に、アナログのRGB3色の装置の状態やユーザー調整画面、或いはテレテキスト等の付加画像信号R_{osd}、G_{osd}、B_{osd}と
25 スイッチ信号Y_{sosd}を出力する。アナログーデジタル(A/D)変換回路2はOSD信号発生回路1の出力するアナログの付加画像信号をデジタル変換する。時分割多重回路3はA/D変換回路2の出力する付加画像信号を時分割多重する。デコード回路4は時分割多重回路3の出力する信号をデコードして信号R_{dec}、G_{dec}、B_{dec}を出力する。スイッチ回路5はデコード回路4の出力する信

号Rdec、Gdec、Bdecとデジタル映像信号入力Rin、Gin、Binとをデコード回路4の出力スイッチ信号Ysdecにより切替える。制御信号発生回路6は入力されるデジタル映像信号のクロック信号CLKinと水平同期信号HsyncとからOSD信号発生回路1と時分割多重回路3とを制御する信号H1、H2を発生する。実施の形態1では入力されるデジタル映像信号はデジタル規格の標準コンポーネントテレビ信号であり、クロック信号CLKinの周波数は13.5MHzである。

図2から図5は実施の形態1におけるOSD挿入回路のOSD信号発生回路1とA/D変換器2の動作を示すタイムチャートである。OSD信号発生回路1の内部基準クロック信号OCLKは通常外部からは供給されずに内蔵されるPhase-Locked-Loop(PLL)により発生し、したがってデジタル映像信号のクロック信号CLKinとは非同期である。制御信号発生回路6は入力される映像信号の水平同期信号Hsyncと同じ周波数で0を含む所定の位相差110度を有する信号H1を発生し、OSD信号発生回路1に供給する。OSD信号発生回路1において、基準クロック信号OCLKは信号H1によりリセットされる。実施の形態1では基準クロック信号OCLKの周波数はデジタル映像信号のクロック信号CLKinと同じ13.5MHzに設定する。制御信号発生回路6は、水平同期信号Hsyncから時分割多重の基準となる信号H2を発生し、入力デジタル映像信号のクロック信号CLKinの周波数を4逡倍して周波数54MHzの制御クロック信号CLKmulを発生する。制御信号発生回路6は信号H2と制御クロック信号CLKmulとを時分割多重回路3に供給する。時分割多重回路3からは制御クロック信号CLKmulを4分周した周波数13.5MHzのクロック信号CLKadをA/D変換器2にサンプリングクロック信号として供給する。OSD信号発生回路1の出力をA/D変換器2で取込むタイミングは信号H1の位相により決定される。信号H1はクロック信号CLKmulの周期で位相を調整できる。図2から図5はOSD信号発生回路1の基準クロック信号OCLKをリセットする信号H1の位相をOSD信号発生回路1の基準クロック信号OCLKの周期の1/4、すなわちクロック信号CLKmulの周期で位相を調整したOSD信号発生回路1の出力とA/D変換器2の信号のタイミン

グを示すタイムチャートを示す。クロック信号CLKmu1の周期で信号H1の位相を調整すると、図4に示すように、クロック信号CLKmu1の4つの山の立ち上がり101～104のうちの立ち上がり103に信号H1の立ち上がり105が一致した場合に、OSD信号発生回路1の出力の変化する時点とA/D変換器2の入力信号をサンプリングクロック信号で取込む時点が略一致する。この時、OSD信号発生回路1の出力する信号のジッタにより、OSD信号発生回路1の出力信号をA/D変換器2が取込む際に、タイミングエラーが信号H1と一致する信号CLKmu1の4つの山の立ち上がり101～104のうちで最も発生しやすい。これを防止する為に、信号H1の立ち上がり105を信号CLKmu1の立ち上がり103に一致させて、信号H1の位相を、図2に示すように、タイミングエラーが最も発生しにくい時点、すなわちOSD信号発生回路1の出力の変化する時点の中間に設定する。これによりA/D変換器2はジッタ許容量が増加し、タイミングエラーを発生させずに信号を取込むことが可能となる。A/D変換器2の出力する信号は、時分割多重回路3により制御信号発生回路6で生成する信号H2を基準にして時分割多重される。図6に示すように、時分割多重回路3、A/D変換器2の出力する信号Rad、Gad、Bad、Ysadを水平同期信号Hsyncに同期した信号H2を基準にして発生する選択パルスRon、Gon、Bon、Ysonにより時分割多重する。時分割多重回路3の出力信号MOは、図7に示すようにデコード回路4でデコードされ、それらの位相が調整され、デコード回路4はデジタル付加映像信号Rdec、Gdec、Bdecとスイッチ信号Ysdecを出力する。スイッチ回路5はスイッチ信号Ysdecに応じてデジタル付加信号Rdec、Gdec、Bdecとデジタル映像信号Rin、Gin、Binとを切換えることにより、デジタル付加信号Rdec、Gdec、Bdecをデジタル映像信号Rin、Gin、Binに挿入する。これにより、タイミングエラーによる不安定な画素を発生させずにデジタル映像信号に付加画像信号を挿入できる。

映像信号にOSDの付加信号がデジタルで挿入できることにより、デジタル制御のシステムにおいて、デジタル映像信号に対して本来不要な処理であるD/A変換、OSD付加画像信号のアナログ挿入、A/D変換の必要がなくなり、性能

向上、及び、コストダウンが可能となる。

5 なお、実施の形態1では入力されるデジタル映像信号、及びOSD信号発生回路1の出力する信号をRGB信号としたがYUV信号でもよい。また、ICのピン数等のハードウェアの条件により、時分割多重回路3とデコード回路4とを介さずにA/D変換器2の出力する信号をスイッチ回路5に直接入力しても良い。
また、制御信号発生回路6は映像信号のクロック信号CLK_{in}の4倍の周波数のクロック信号CLK_{mul}を発生し時分割多重回路3に供給するが、付加画像信号の数によりクロック信号CLK_{mul}の周波数を設定する。

10 （実施の形態2）

図8は本発明の実施の形態2におけるOSD挿入回路のブロック図である。図1に示す実施の形態1によるOSD挿入回路と同じ部分には同じ参照符号を付し詳細な説明を省略する。入力されるデジタル映像信号のクロック信号CLK_{in}の周波数を27MHzとし、OSD信号発生回路1の内部基準クロック信号OCLKの周波数を、デジタル映像信号のクロック信号CLK_{in}の周波数の1/2の13.5MHzに設定する。時分割多重回路3には、水平同期信号Hsyncに同期した時分割多重の基準となる同期信号H2と、デジタル映像信号のクロック信号CLK_{in}の周波数を2逡倍した周波数54MHzの制御クロック信号CLK_{mul}が制御信号発生回路6から入力される。すなわち、クロック信号CLK_{mul}のクロック信号CLK_{in}に対する周波数の比とクロック信号OCLKのクロック信号CLK_{in}に対する周波数の比とは異なる。これによりデジタル映像信号のクロック信号の周波数が高い場合にもタイミングエラーを発生させずに、映像信号にOSD信号発生回路1の出力するデジタル付加信号をデジタルで挿入できる。例えば、実施の形態2のように、デジタル映像信号のクロック信号CLK_{in}の周波数が27MHzの場合、図1に示す実施の形態1によるOSD挿入回路では、制御信号発生回路6の発生するクロック信号CLK_{mul}は映像信号のクロック信号の4倍の周波数の108MHzと高くなり、回路が実現しにくい場合がある。このような場合に、クロック信号CLK_{mul}を映像信号のクロック信号の2倍の周波数にすることによりOSD挿入回路を実現しやすくなる。

但し、この場合はOSDの付加信号のクロック信号OCLKの周波数は映像信号のクロック信号CLK_{in}の1/2なので解像度は入力されるデジタル映像信号の解像度の1/2である。

5

発明の産業上の利用可能性

本発明によるOSD挿入回路はデジタルの映像信号にOSDのアナログ付加信号をデジタルで挿入できることにより、性能向上、及び、コストダウンが可能となる。

請求の範囲

1. 第1のクロック信号にしたがってスイッチ信号とアナログの付加画像信号を発生するOn-Screen-Display (OSD) 信号発生回路と、

第2のクロック信号をサンプリングクロック信号として前記発生した付加
5 映像信号をデジタル変換するアナログーデジタル変換器と、

デジタル映像信号と前記デジタル変換された付加画像信号とを前記スイッチ信号により切り替えて出力するスイッチ回路と、

前記デジタル映像信号は水平同期信号を伴い、前記水平同期信号と0を含む所定の位相差を有する信号で前記第1のクロック信号をリセットし、前記第2
10 のクロック信号を前記水平同期信号に対して位相を調整できるように発生する制御信号発生回路と、
を備えたOSD挿入回路。

2. 第3のクロック信号にしたがって前記スイッチ信号と前記デジタル変換された付加画像信号とを時分割多重する時分割多重回路と、
15

前記時分割多重されたスイッチ信号と付加画像信号とをデコードするデコード回路と、

をさらに備え、

前記スイッチ回路は前記デジタル映像信号と前記デコードされた付加画像
20 信号とを前記デコードされたスイッチ信号により切り替えて出力し、

前記制御信号発生回路は前記第3のクロック信号を発生する、請求の範囲第1項に記載のOSD挿入回路。

3. 前記デジタル映像信号は第4のクロック信号をさらに伴い、

25 前記制御信号発生回路は前記第4のクロック信号の周波数を逡倍して前記第3のクロック信号を発生する、請求の範囲第2項に記載のOSD挿入回路。

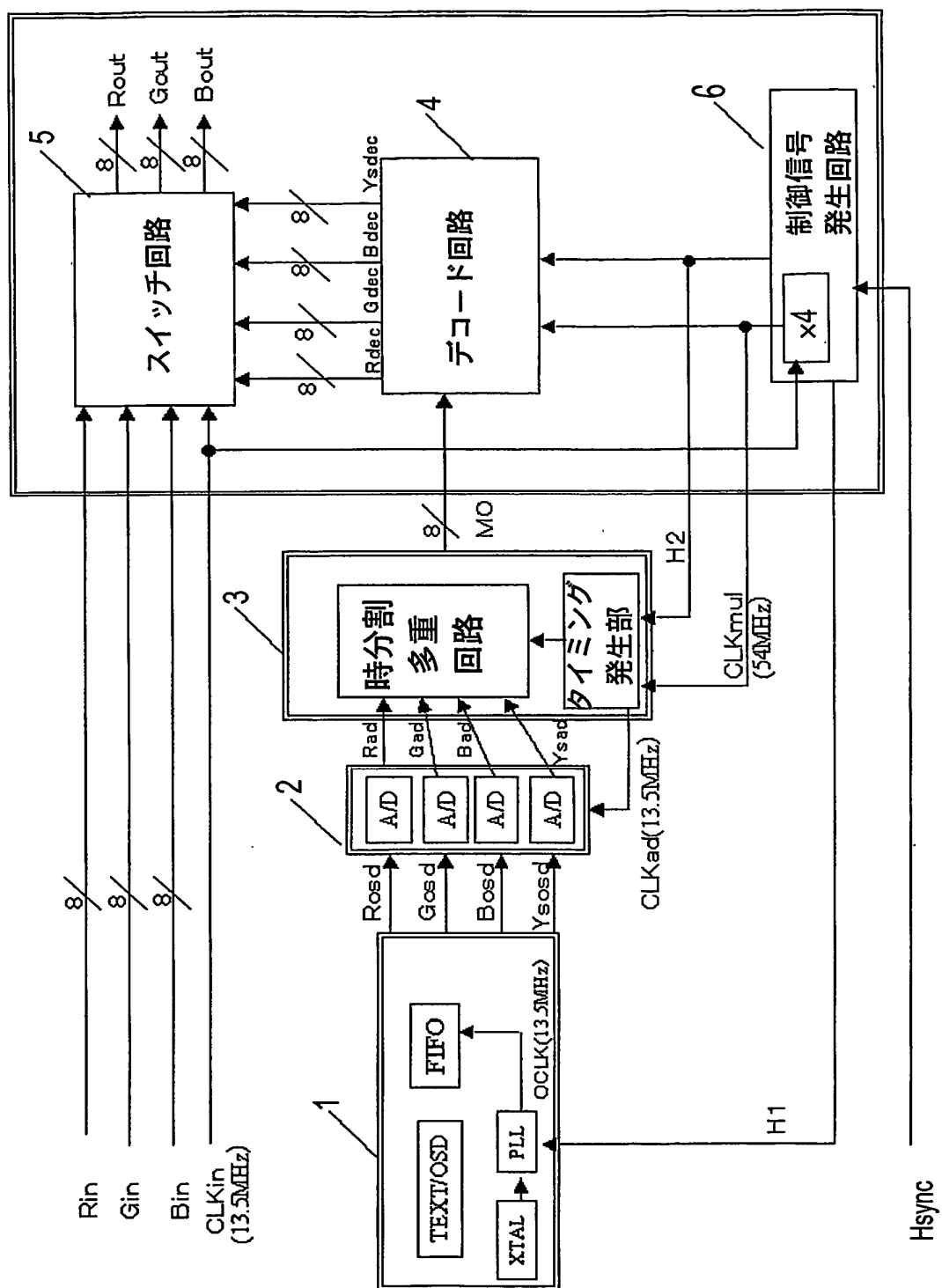
4. 前記制御信号発生回路は前記第3のクロック信号にしたがって前記第2のクロック信号の前記位相を調整する、請求の範囲第3項に記載のOSD挿入回路。

5. 前記制御信号発生回路は前記第4のクロック信号の周波数を分周して前記第2のクロック信号を発生する、請求の範囲第4項に記載のOSD挿入回路。

- 5 6. 前記第3のクロック信号の前記第4のクロック信号に対する周波数の比と、前記第2のクロック信号の前記第4のクロック信号に対する周波数の比が異なる、請求の範囲第5項に記載のOSD挿入回路。

- 10 7. 前記制御信号発生回路は前記第4のクロック信号の前記周波数を2逡倍して前記第3のクロック信号を発生し、前記第4のクロック信号の周波数を4分周して前記第2のクロック信号を発生する、請求の範囲第6項に記載のOSD挿入回路。

Fig. 1



2/6

Fig. 2

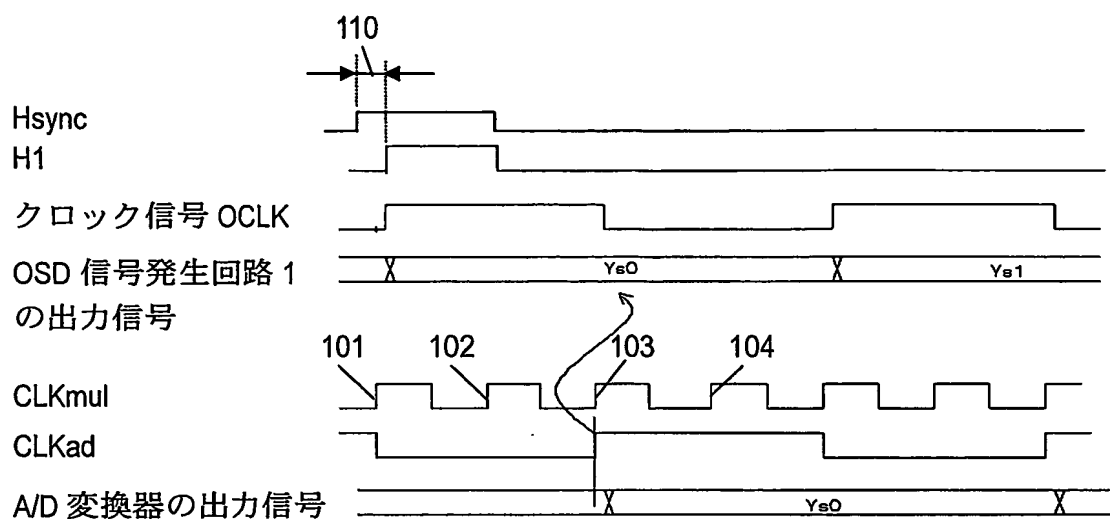
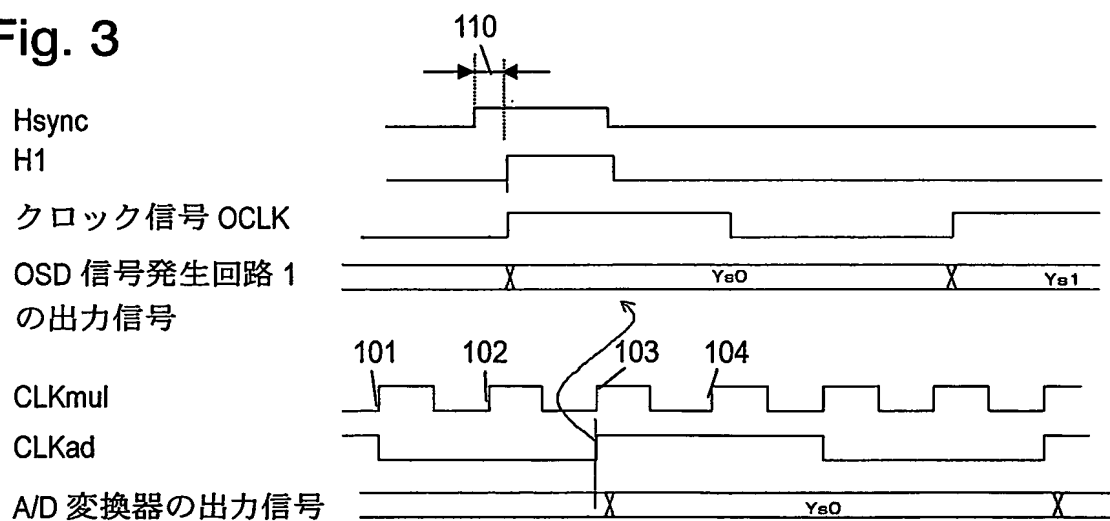


Fig. 3



3/6

Fig. 4

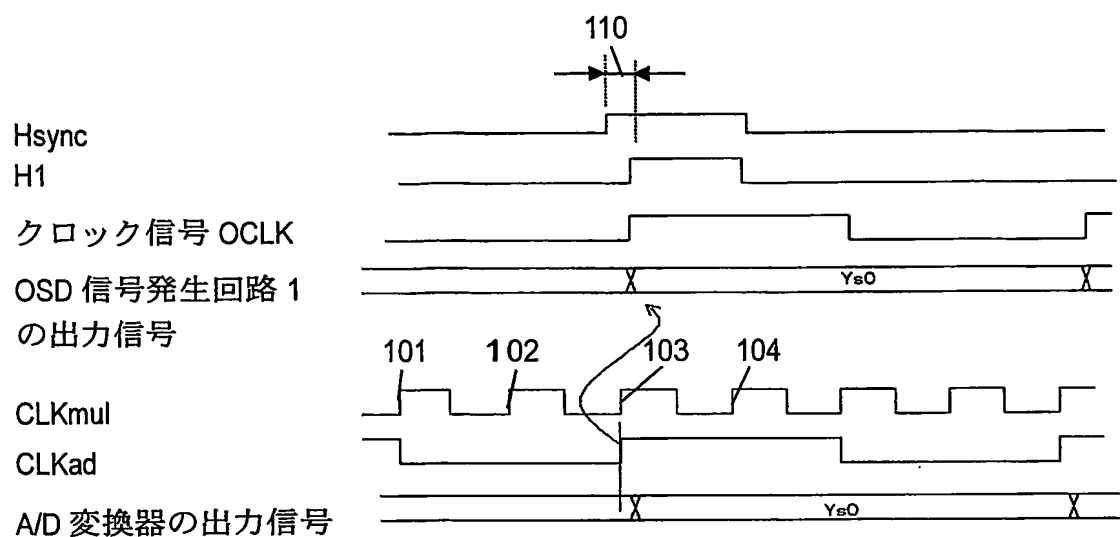


Fig. 5

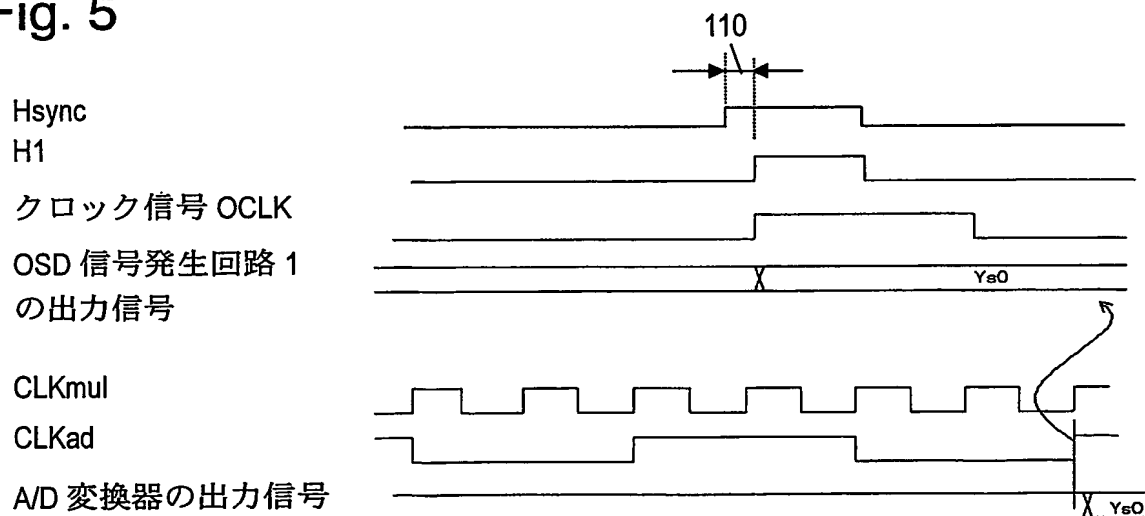


Fig. 6

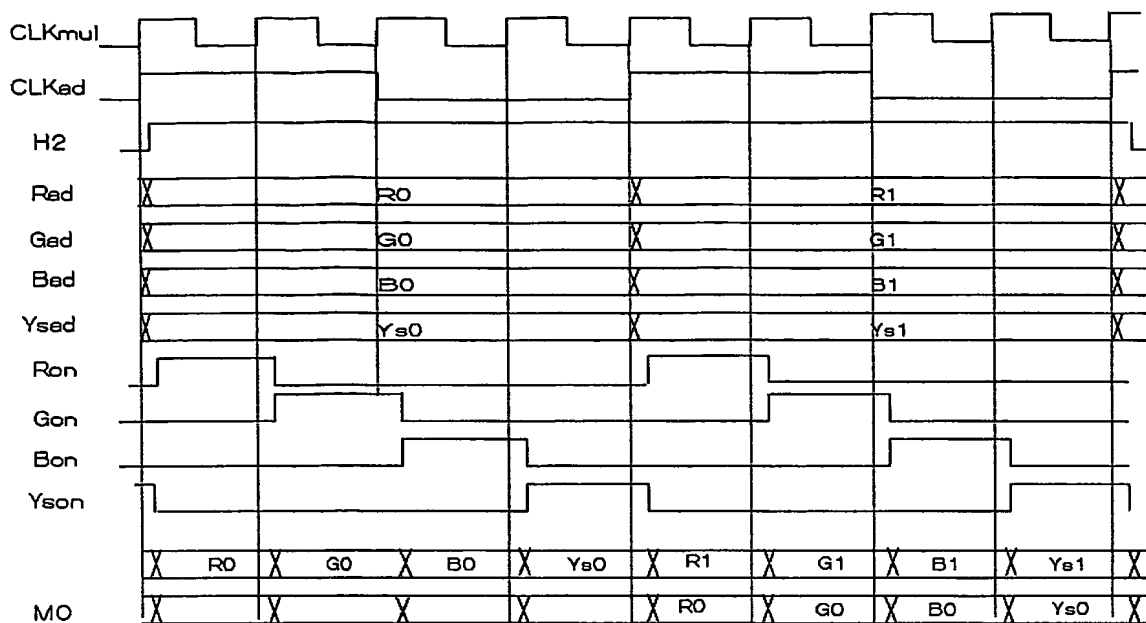


Fig. 7

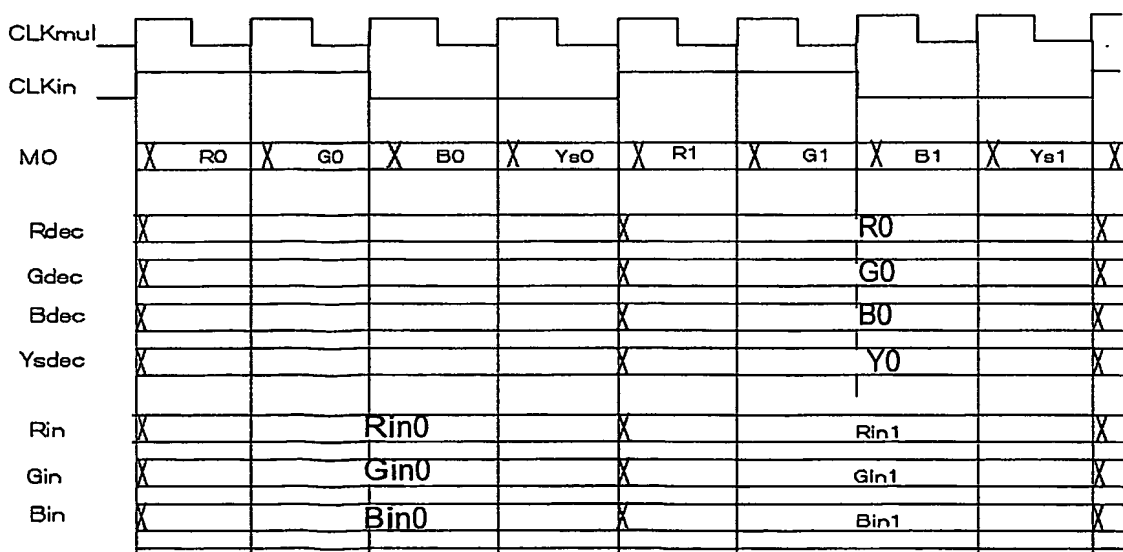
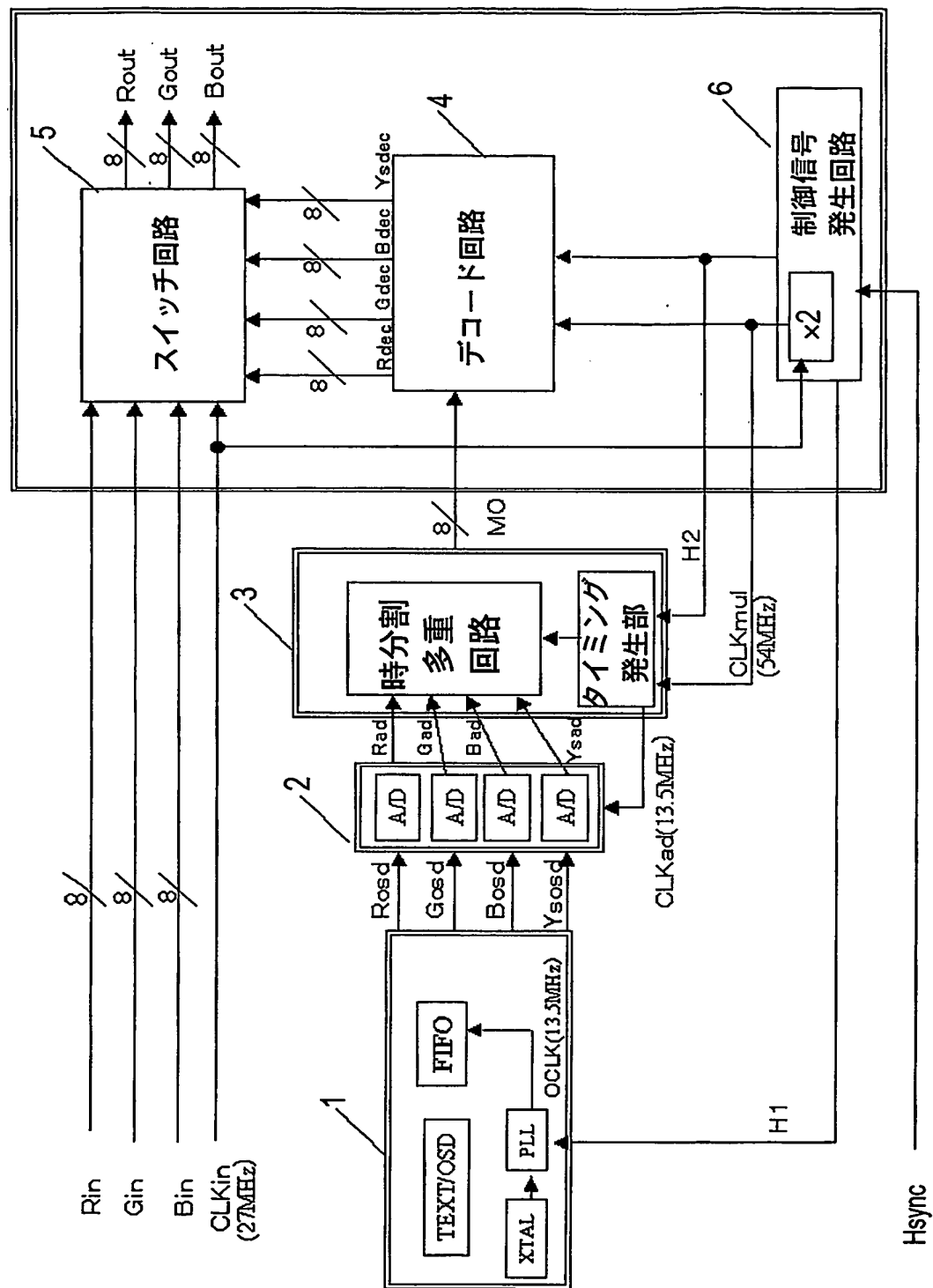


Fig. 8



参照番号の一覧

- 1 OSD 信号発生回路
- 2 A/D 変換器
- 3 時分割多重回路
- 4 デコード回路
- 5 スイッチ回路
- 6 制御信号発生回路

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/014023

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H04N5/66

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H04N5/66, H04N5/44, G09G5/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Jitsuyo Shinan Toroku Koho	1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2000-224477 A (Matsushita Electric Industrial Co., Ltd.), 11 August, 2000 (11.08.00), Full text; Figs. 1 to 6 & WO 2000/046783 A1 & EP 1081677 A1	1-7
A	JP 7-181912 A (Matsushita Electric Industrial Co., Ltd.), 21 July, 1995 (21.07.95), Full text; Figs. 1 to 10 (Family: none)	1-7
A	JP 10-98747 A (Daewoo Electronics Co., Ltd.), 14 April, 1998 (14.04.98), Full text; Figs. 1 to 6 & KR 199878 B & US 5920355 A1	1-7

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

01 December, 2004 (01.12.04)

Date of mailing of the international search report

14 December, 2004 (14.12.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))
Int. C17 H04N5/66

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. C17 H04N5/66, H04N5/44, G09G5/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年

日本国公開実用新案公報 1971-2004年

日本国登録実用新案公報 1994-2004年

日本国実用新案登録公報 1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2000-224477 A (松下電器産業株式会社), 2000.08.11, 全文, 第1~6図 & WO 2000/046783 A1 & EP 1081677 A1	1-7
A	JP 7-181912 A (松下電器産業株式会社), 1995.07.21, 全文, 第1~10図 (ファミリーなし)	1-7

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

01.12.2004

国際調査報告の発送日

14.12.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

伊東 和重

5 P

8839

電話番号 03-3581-1101 内線 6951

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P 10-98747 A (大字電子株式会社) , 1998.04.14, 全文, 第1～6図 & KR 199878 B & US 5920355 A1	1-7